

SVERIGE

(12)

PATENTSKRIFT(13) **C2**(11) **513 518**

(19) SE

(51) Internationell klass 7

H04Q 11/06// **H04L 12/52**
**PATENT- OCH
REGISTRERINGSVERKET**

(45) Patent meddelat 2000-09-25
 (41) Ansökan allmänt tillgänglig 1999-05-07
 (22) Patentansökan inkom 1997-11-06
 (24) Löpdag 1997-11-06
 (62) Stamansökans nummer
 (86) Internationell ingivningsdag
 (86) Ingivningsdag för ansökan om europeisk patent
 (63) Deposition av mikroorganism

(21) Patentansöknings-
nummer **9704067-9**

Ansökan inkommen som:

☒ svensk patentansökan
 fullföljd internationell patentansökan
 med nummer
☐ omvandlad europeisk patentansökan
 med nummer

(30) Prioritetsuppgifter

- (73) **PATENTHAVARE** Net Insight AB, Ingenjörsvägen 3 117 43 Stockholm SE
 (72) **UPPFINNARE** Christer Bohm, Stockholm SE, Lars Gauffin, Rönninge SE,
 Lukas Holm, Stockholm SE, Joachim Roos, Nacka SE
 (74) **OMBUD** AWAPATENT AB
 (54) **BENÄMNING** Förfarande och anordning för överföring av data mellan
 bitströmmar i ett tidsmultiplexerat nät

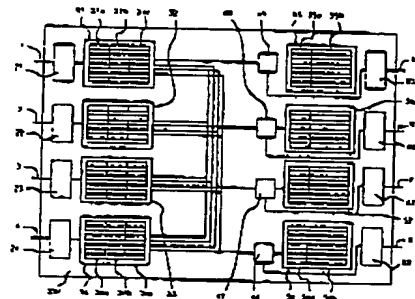
(56) **ANFÖRDA PUBLIKATIONER:**

US A 4 809 261 (H04Q 11/06), US A 5 128 929 (H04Q 11/06),
 US A 4 005 272 (H04Q 11/06)
 Journal of high speed networks, volume 3, No 2, 1994
 Christer Bohm et al, "The DTM Gigabit Network
 page 109-126.
 Space communications, volume 7, No 4-6, 1990,
 W. Berner et al, "Switching Structures for on-board
 processing", page 405-410, especially paragraph 22

(57) **SAMMANDRAG:**

Föreliggande uppfinning hänför sig till ett förfarande och en anordning för överföring av data mellan en första uppsättning bitströmmar (1, 2, 3, 4) och en andra uppsättning bitströmmar (5, 6, 7, 8) hos ett kretskopplat, tidsmultiplexerat nät, varvid var och en av nämnda bitströmmar (1, 2, 3, 4, 5, 6, 7, 8) indelas i återkommande ramar och var och en av nämnda återkommande ramar indelas i tidluckor.

Uppfinningen innefattar att motta nämnda första uppsättning bitströmmar (1, 2, 3, 4); att tillfälligt lagra varje ram av data från varje bitström (1, 2, 3, 4) av nämnda första uppsättning bitströmmar (1, 2, 3, 4); att selektivt läsa, för varje ram av varje bitström (5, 6, 7, 8) av nämnda andra uppsättning bitströmmar (5, 6, 7, 8), data från valda ramar av de för tillfället lagrade ramarna av nämnda första uppsättning bitströmmar (1, 2, 3, 4); och att avge nämnda data, som lastas från nämnda ramar, i allokerande tidluckor av nämnda andra uppsättning bitströmmar (5, 6, 7, 8).


BEST AVAILABLE COPY

Teknikområde

Föreliggande uppfinning hänför sig till ett förfarande och en anordning för överföring av data mellan en första uppsättning bitströmmar och en andra uppsättning bitströmmar hos ett kretskopplat, tidsmultiplexerat nät, varvid var och en av nämnda bitströmmar indelas i återkommande ramar och var och en av nämnda återkommande ramar indelas i tidluckor.

10 Teknisk bakgrund och känd teknik

Nya typer av kretskopplade kommunikationsnät utvecklas idag för överföring av information med utnyttjande av synkrona tidsmultiplexerade bitströmmar, vilka bitströmmar typiskt är indelade i ramar, eller cykler, och vilka ramar i sin tur är indelad i tidluckor.

Ett exempel på ett sådant nät har beskrivits i "The DTM Gigabit Network", Christer Bohm, Per Lindgren, Lars Ramfelt och Peter Sjödin, Journal of High Speed Networks, 3(2):109-126, 1994, och i "Multi-gigabit networking based on DTM", Lars Gauffin, Lars Håkansson och Björn Pehrson, Computer networks and ISDN Systems, 24(2):119-139, April 1992.

Den grundläggande topologin hos ett nät av detta slag är företrädesvis en buss med två enkelriktade multi-accessfibrer som kopplar samman ett antal noder, där varje nod är anordnad att betjäna en eller flera slutanvändare som är anslutna därtill. Notera att topologin emellertid lika gärna kan vara realiserad med någon annan slags struktur, t.ex. ringstruktur eller stjärnstruktur.

Bandbredden hos varje våglängd på bussen, dvs varje bitström på fiberna, är indelad i ramar av fastlagd storlek, vilka i sin tur är indelade i tidluckor av fastlagd storlek. Antalet tidluckor i en ram beror således av nätets bitfrekvens. Tidluckorna är indelade i två

grupper, kontrolltidluckor och datatidluckor. Kontrolltidluckor används för signalering mellan nätets noder för nätets interna drift. Datatidluckorna används för överföring av data mellan de användare som är anslutna till de olika noderna.

Varje nod är anordnad att dynamiskt allokera tidluckor till sina respektive anslutna användare, att användas vid sändning eller mottagning av information till respektive från andra användare. Som ett resultat därav har olika anslutna användare skrivrättighet till olika datatidluckor.

När exempelvis en första användare som är ansluten till en första nod önskar överföra information till en andra användare som är ansluten till en andra nod, kommer den första noden att allokera ett antal datatidluckor inom varje ram för den första användare att sända data i. Den första noden kommer dessutom att sända ett signaleringsmeddelande i en kontrolltidlucka till den andra noden och på så sätt instruera den andra noden att läsa data från de allokerade datatidluckorna och att vidarebefordra sådana data till den andra användaren. De allokerade datatidluckorna sägs bilda en kanal mellan de två användarna.

I ett sådant nät används så kallade växlar, var och en ansluten till en eller flera bitströmmar, eller fibrer, för att överföra data mellan olika bitströmmar. Antag exempelvis att en kanal mellan en första och en andra användare, vilka är anslutna till en första respektive en andra nod på en första respektive en andra fiber, definieras av en första uppsättning tidluckor på en bitström som utbreder sig på den första fibern och en andra uppsättning tidluckor på en bitström som utbreder sig på den andra fibern. En växel används då för att överföra eller kopiera data från den första uppsättningen tidluckor till den andra uppsättningen tidluckor, eller omvänt.

Kända växlar i synkrona, tidmultiplexerade nät utnyttjar ett styrminne som mappar varje inkommande tidlucka mot en utgående tidlucka. Sådan mappning (eller "avbildning") kan inbegripa både en mappning i tiden, dvs styrning av den följd med vilken data skrivs in i en bitström, och en mappning i rummet, dvs styrning av vilka data som skall till vilken bitström. Exempelvis beskrivs sådana så kallade TST-växlar ("time-space-time switches") i "Data and Computer Communications", fjärde upplagan, av Williams Stallings, Macmillan Publishing Company. Kända växlar uppvisar emellertid begränsningar vad gäller möjligheten att växla tidluckor i rum och tid. Kända växlar uppvisar dessutom begränsningar vad gäller överföringshastighet och överföringskapacitet.

Uppfinningens syfte

Ett syfte med uppfinningen är att åstadkomma en växel som erbjuder större frihet vad gäller möjligheterna att växla tidluckor i rum och tid, såsom effektiv en-till-flera-växling ("multicasting") av kanaler med olika bandbredd.

Ett annat syfte med uppfinningen är att tillhandahålla en enkel och snabb mekanism för växling mellan flera inkommande och utgående bitströmmar som är godtyckligt fasförskjutna i förhållande till varandra.

Ett annat syfte med uppfinningen är att öka växelns överföringshastighet och kapacitet.

Ett ytterligare syfte med uppfinningen är att tillhandahålla ett skalningsbart växelsystem, varvid mindre växlar enkelt kan integreras till att bilda större växlar.

Redogörelse för uppfinningen

Enligt en aspekt på uppfinningen uppnås ovan nämnda och andra syften medelst ett förfarande av inledningsvis nämnt slag, innefattande stegen: att motta nämnda första uppsättning bitströmmar; att tillfälligt lagra varje ram

av data från varje bitström av nämnda första uppsättning
bitströmmar; att selektivt läsa, för varje ram av varje
bitström av nämnda andra uppsättning bitströmmar, data
från valda ramar av de för tillfället lagrade ramarna av
5 nämnda första uppsättning bitströmmar; och att sända
nämnda data, som lästs från nämnda ramar, i allokerade
tidluckor av nämnda andra uppsättning bitströmmar.

Enligt en andra aspekt på uppfinningen uppnås ovan
nämnda och andra syften medelst en anordning av inled-
10 ningsvis nämnt slag, innefattande mottagarorgan för
mottagning av varje bitström av nämnda första uppsättning
bitströmmar; ramminnesorgan för tillfällig lagring av
varje ram av data från varje bitström av nämnda första
uppsättning bitströmmar; läsorgan för selektiv läsning,
15 för varje ram av varje bitström av nämnda andra uppsätt-
ning bitströmmar, av data från de för tillfället lagrade
ramarna av nämnda första uppsättning bitströmmar; och
utmatningsorgan för sändning av nämnda data, som lästs
från nämnda ramminnesorgan, i allokerade tidluckor av
20 nämnda andra uppsättning bitströmmar.

I ett exempel på kända växlar är in- och utportar
sammankopplade med hjälp av ett delat medium, av vilket
det krävs att det kan hantera inportarnas aggregerade
växlingskapacitet för att inte skapa blockering, vilket
25 begränsar skalbarheten hos en sådan design.

I ett annat exempel på kända växlar är en inport hos
en en-till-en-växel (endast en inkommande bitström och en
utgående bitström) försedd med information som anger, för
varje tidlucka i den mottagna bitströmmens ram, vart data
30 från denna tidlucka skall sändas, dvs till vilken utgå-
ende tidlucka. Om man skulle tänka sig en flerports-
tillämpning av denna kända lösning, varvid ett flertal
inportar, som mottar data från respektive bitströmmar,
skall skriva data, baserat på sådan information, till
35 ramminnen hos en eller flera utgående bitströmmar, måste
man utveckla åtkomstmekanismer för att fördela skriv-
rättigheter till nämnda ramminnen och för att säkerställa

att olika inportar inte skriver data samtidig till samma minnesfält.

För att hantera en-till-flera-sändning, dvs för att överföra data från en inkommande bitström till flera ut-
5 buffertminnen, ställs dessutom krav på inportarna att tillhandahålla, för varje tidlucka i den mottagna bitströmsramen, information som anger, för varje utport, vilken utgående tidlucka som data skall skrivas in i.

10 Samma begränsningar gäller för så kallade TST-växlar som använder tidsmappning vid in- och utportarna och rumsmappning däremellan för att tillåta godtycklig kommunikation mellan in- och utportar.

Enligt uppfinningen löses detta problem genom att man vid inportarna inte behöver tillhandahålla information som anger vart data från en mottagen tidlucka skall
15 sändas eller skrivas, utan genom att man istället vid varje utport tillhandahåller information som anger varifrån data för utgående tidluckor skall hämtas eller läsas. De mottagna bitströmmarna, eller snarare varje ram
20 därav, lagras vid växelns inportar i respektive ramminnen, och så kallade tidluckemappningstabeller vid växlens utportar tillhandahåller information om varifrån, dvs från vilket ramminne och vilket datafält därav, data skall hämtas för varje enskild tidlucka i respektive
25 utgående bitström. Data hämtas följaktligen selektivt från de mottagna bitströmmarna för att därefter sändas ut i de utgående bitströmmarna. Varje sekventiell uppslagning i sekventiella rader hos en sådan tidluckemappningstabell ger en respektive ramminnesadress för utläsning av
30 data för den specifika utgående tidluckan.

Enligt en utföringsform av uppfinningen innefattar varje ramminne ett flertal datafält som är anordnade att lagra data från respektive tidluckor i följd av tidluckor hos återkommande ramar av den inkommande bitström
35 som hör samman med respektive ramminne.

Växeln är följaktligen företrädesvis indelad på ett sådant sätt att ett respektive ramminne är associerat med

varje inport. Samtliga utportar kan läsa data från varje ramminne oberoende av varandra. En hel växel innefattar följaktligen en uppsättning ramminnen, vilka vart och ett är anordnat i en en-till-flera konfiguration (en inport till flera utportar).

Nämnda ramminnen är företrädesvis realiserade i form av flerportade asynkrona RAM-minnen som möjliggör inskrivning och utläsning oberoende av varandra och utan fassynkronisering.

Genom att använda RAM-minnen med flera läsportar, kan varje utgående bitström, oberoende av andra, hämta sina egna data, vilket företrädesvis sker med utnyttjande av ledningar som är dedikerade enbart för nämnda utgående bitström för åstadkommande av en icke-blockerande drift. Följaktligen föreligger inget behov av inbördes uteslutning eller av komplicerade reservationsmodeller på en delad resurs. Dessutom kräver konceptet inte någon ökad kommunikationshastighet i någon del av konstruktionen i förhållande till den frekvens med vilken varje ledning mottar eller sänder data.

Eftersom ramminnena uppdateras kontinuerligt vid en hög frekvens, kan en realisering som baseras på dynamiska RAM (DRAM) utnyttjas utan något behov av så kallad "memory refresh".

Enligt uppfinningen läser samtlig utportar data från ramminnena oberoende av varandra, och företrädesvis överförs data från ramminnena till utportarna med utnyttjande av ledningar som är dedikerade åt respektive utport.

Uppfinningen uppvisar således väsentliga fördelar vid användning för en-till-flera-sändning (multicasting), dvs överföring av data från en inport till flera utportar.

Enligt en föredragen utföringsform av uppfinningen innefattar växeln organ, exempelvis i form av nämnda tidluckemappningstabeller, för att för var och en av de tidluckor i en ram av varje utgående bitström som är allokerade att motta data från de inkommande bitström-

marna tillhandahålla en respektive identifikation som
pekar ut ett associerat datafält hos nämnda ramminnes-
organ, vilket datafält tillhandahåller data för den
respektive allokerade tidluckan; och organ för selektiv
5 läsning, för tidluckorna i varje ram av var och en av
nämnda utgående bitströmmar, av data från nämnda datafält
baserat på sådana identifikationer.

Eftersom flera olika tabellrader i flera tidlucke-
mappningstabeller kan peka ut samma ramminne och samma
10 datafält, föreligger således stöd för en-till-alla
sändning och en-till-flera sändning.

Nämnda organ för tilldelning av en identifikation,
såsom en tidluckemappningstabell, innefattar företrädes-
vis en uppsättning organ som betjänar respektive utgående
15 bitström, men kan även innefatta ett enda organ som
betjänar samtliga utgående bitströmmar.

En sådan identifikation kan exempelvis vara a) en
identifikation som unikt identifierar ett ramminne och en
tabellrad därav som tillhandahåller de data som skall
20 sändas i den utgående tidlucka som hör samman med nämnda
identifikation, b) en identifikation som anger att skriv-
rättighet till motsvarande utgående tidlucka inte tillhör
den egna växeln och att den utgående tidluckan därför
skall lämnas opåverkad, c) en identifikation som anger
25 att ett idle-mönster skall alstras av växeln och sändas i
den motsvarande utgående tidluckan och d) en identifika-
tion som anger att data som mottagits från en annan
växel skall sändas i nämnda motsvarande tidlucka. Ut-
pekandet av varifrån data skall hämtas för varje enskild
30 utgående tidlucka tillhandahåller således flera nya
möjligheter att växla data. Den sistnämnda av de fyra
ovan angivna typerna av identifikationer gör det exempel-
vis möjligt att på ett enkelt sätt koppla samman flera
växlar till att bilda en större växel, och att därigenom
35 öka möjligheterna till att växla data utan att väsentligt
komplicera en möjlig realiserig.

Var och en av ramminnena har företrädesvis kapacitet att lagra tre hela sekventiella ramar av den respektive inkommande bitströmmen i separata minnesområden, vilka nedan även benämnds sidor eller kolumner, av varje ram-
5 minne. Utnyttjandet av tre sidor avser att säkerställa konsistent växling, dvs att säkerställa att den selektiva läsningen från en ram eller sida inte äger rum före det att inskrivningen av den specifika ramen eller sidan är
10 avklarad. Enligt den föredragna utföringsformen behövs en sida för att möjliggöra om-mappning av tidluckor i tidsdomänen, en annan behövs för parallel lagring av dubbelbuffringsslag, och den tredje sidan behövs för att hantera förekommande fasskillnad mellan den inport som skriver in i nämnda ramminne och de utportar som läser
15 från ramminnet, en skillnad som är begränsad till en sida som följd av den generella synkroniseringen i ett nät av ovan nämnda slag.

Var och en av in- och utportarna styrs av en respektive ramsynkroniseringssignal, vilken stegar fram interna
20 pekare för identifiering av den för tillfället valda ramminnessidan, dvs antingen vilken sida som utnyttjas för inskrivning eller vilken sida som utnyttjas för läsning. Tidluckorna hos en inkommande bitström skrivs in i sekventiell följd, medan utgående tidluckor hämtas från
25 nämnda ramminnen med utnyttjande av direktuppslagning ("random access") bland tabellraderna hos den sida som för tillfället utpekats för selektiv läsning.

Tidluckor och ramar klockas således med utnyttjande av klock- och ramsynkroniseringssignaler som är lokala
30 för varje port. Ett underliggande antagande är att ramsynkroniseringssignalerna aldrig uppvisar en fasskillnad mellan en inkommande bitström och en utgående bitström som växer sig större än en ram, dvs det förekommer ingen ackumulerad fasskillnad (fasdrift).

35 En inkommande bitströms ramsynkroniseringssignal styr med fördel en skrivtidluckeräknare som för varje mottagen tidlucka stegar fram en skrivpekare, som anger

en tabellrad i respektive ramminne, till nästa tabellrad. (Vid mottagning av ramsynkroniseringssignalen återställs företrädesvis skrivtidluckeräknaren för att ånyo börja på den lägsta tidluckepositionen i nästa ram).

5 Den inkommande bitströmmens ramsynkronisering styr företrädesvis även ett block för selektering av sida för skrivning, vilket pekar ut en sida hos respektive ramminne och därmed iordningställer en av de tre ramsidorna hos ramminnet för skrivning. (Vid mottagning av ramsynkroniseringssignalen stegas pekaren fram till nästa ramminnessida, och efter sista sidan hos ett ramminne stegas pekaren fram till ramminnets första sida).

10 Ramsynkroniseringssignalen för en utgående bitström styr med fördel en räknare för utgående tidluckor, vilken för varje utgående tidlucka stegar fram en läspekare i nämnda tidluckemappningstabell för härledning av information avseende varifrån data för den aktuella utgående tidluckan skall hämtas. (Vid mottagning av ramsynkroniseringssignalen återställs företrädesvis räknaren för att ånyo börja på den lägsta tidluckepositionen i nästa utgående ram). Den utgående bitströmmens ramsynkroniseringssignal styr även med fördel ett block för selektering av sida för läsning, vilket pekar ut de ramminnessidor som för tillfället kan utnyttjas för selektiv

15 läsning. Vid mottagning av ramsynkroniseringssignalen väljs nästa ramminnessida, och efter sista sidan hos ett ramminne stegas pekaren fram till ramminnets första sida.

20 En fördel med uppfinningen är således att styrning av arbetet vid varje port hos växeln åstadkommes baserat på en ramsynkronisering som är lokal för varje respektive port, vilket således eliminerar behovet av att tillhanda-hålla komplicerade korsrelaterade synkroniseringsmekanismer mellan olika in- och utportar.

25 Enligt en ytterligare utföringsform av uppfinningen styrs nämnda selektering av sida för läsning även av en mekanism för så kallad sid-offset och bypass, vilken aktiveras på tidluckebasis av tidluckemappningstabellen.

30

35

513 518

10

Bypass-moden tillhandahåller valet att läsa en ram före den ram som pekas ut av den faktiska läspekaren, vilket minskar fördröjningen genom växeln men sätter begränsningar på tidluckeallokering för säkerställande av att
5 ingen accesskonflikt eller inkonsistenthet uppkommer vid om-mappning i tidsdomänen.

Enligt en ytterligare utföringsform av uppfinningen tillhandahålls en mekanism för automatisk uppdatering av tidluckemappningstabellerna, dvs för samtidig uppdatering
10 av fler än en tidlucketabell och fler än en tabellrad därav med bevarad konsistenthet.

Ovan nämnda och andra aspekter på och särdrag hos uppfinningen kommer att framgå med tydlighet av de exemplifierande utföringsformer av uppfinningen som
15 beskrivs nedan med hänvisning till de bifogade ritningarna.

Kortfattad beskrivning av ritningarna

Exemplifierande utföringsformer av uppfinningen
20 kommer nu att beskrivas med hänvisning till de bifogade ritningarna, på vilka:

fig. 1 schematiskt visar en växel i ett kretskopplat, tidsmultiplexerat nät;

fig. 2 schematiskt visar strukturen på en av
25 bitströmmarna i fig. 1;

fig. 3 schematiskt visar en växel som växlar tidluckedata i tid och rum;

fig. 4 schematiskt visar en utföringsform av en växel enligt föreliggande uppfinning;

30 fig. 5 schematiskt visar en utföringsform av en tidluckemappningstabell av det slag som visas i fig. 4;

fig. 6 schematiskt visar en mekanism för selektering av ramsida, att användas vid varje in- och utport;

fig. 7a och 7b schematiskt visar sid-offset vid
35 tillstånden full om-mappning respektive by-pass;

fig. 8 schematiskt visar ett ramminne och multipla utportar hos en växel enligt uppfinningen;

513 518

11

fig. 9, 10a och 10b schematiskt visar en mekanism för uppdatering av de tidluckemappningstabeller som visas i fig. 5 och fig. 8.

5 Detaljerad beskrivning av föredragna utföringsformer

I fig. 1 visas en växel, eller nod, SW i ett kretskopplat, synkront, tidsmultiplexerat nät. Växeln SW har fyra inportar, vilka är anslutna till respektive bitströmmar 1-4, och fyra utportar, vilka är anslutna till respektive bitströmmar 5-8. I fig 1 utbreder sig varje bitström på en respektive optisk fiber. Utöver tidsmultiplexering kan även våglängdsmultiplexering användas för att öka nätets kapacitet genom att flera bitströmmar bärs av olika våglängder på en och samma fiber. Var och en av bitströmmarna 1-8 används av en eller fler noder N1-N14 för transport av data till/från andra noder. Olika bitströmmar kan användas för kommunikation i olika riktningar, varvid kommunikationsriktningen illustreras i fig. 1 med pilar vid de optiska fibrernas slutpunkter. Såsom kommer att beskrivas ytterligare nedan är kommunikationen på varje optisk fiber 1-8 synkron och tidsmultiplexerad.

Såsom visas i Fig. 1 kan bitströmmarna vid växelns inportar vara terminerade vid växeln, såsom är fallet med bitströmmarna 2-4, eller kan de fortsätta förbi växeln till att nå noder belägna nedströms växeln, såsom är fallet med bitströmmen 1. Bitströmmarna vid växelns utportar kan härröra från växeln, såsom är fallet med bitströmmarna 5-7, eller kan häröra från andra noder belägna upströms växeln, såsom är fallet med bitströmmen 8.

I Fig. 1 är varje nod N1-N14 anordnad att betjäna en eller flera användare (ej visade) genom att tillhandahålla access till bitströmmarna 1-8. En nod kan dessutom vara ansluten till fler än en bitström, såsom är fallet med noderna N2 och N13. När exempelvis en användare som är ansluten till nod N3 önskar sända information till en användare som är ansluten till nod N12, kommer noderna N3 och N12 att etablera en kretskopplad kommunikationskanal

513 518

12

på bitströmmar 1 och 7. Nod N3 kommer därefter att överföra data från den sändande användaren till bitströmmen 1, växeln SW kommer att växla nämnda data från bitströmmen 1 till bitströmmen 7 och nod N12 kommer i sin tur att
5 överföra dessa data från bitströmmen 7 till den mottagande användaren. Det inses att användarna kan vara varje slags elektronisk utrustning som behöver tillgång till nätet, såsom datorer, arbetsstationer, skrivare, servrar, faxapparater, telefoner, TV-apparater, radiomottagare,
10 och liknande.

Strukturen på de tidsmultiplexerade bitströmmar som används i fig. 1 kommer nu att beskrivas med hänvisning till fig. 2. Varje bitström är indelad i ramar, eller
15 cykler, av given längd, exempelvis 125 μ s. Varje ram är i sin tur indelad i tidluckor av given storlek, exempelvis 64 bitar. Antalet tidluckor i varje ram beror således på nätets bitfrekvens. Det antal tidluckor 1-6 som visas i en ram i fig 2 är naturligtvis enbart illustrativt. Det verkliga antalet tidluckor i en ram kommer normalt att
20 vara mycket större än så.

Tidluckorna är generellt indelade i två grupper, kontrolltidluckor C och datatidluckor D. Kontrolltidluckorna C används för styrsignaler mellan nätets noder, dvs för överföring av meddelanden mellan noderna för
25 nätets interna drift, såsom för kanaluppsättning, tidluckeallokering, osv. Datatidluckorna D används för överföring av användardata mellan användare som är anslutna till nämnda noder.

Utöver nämnda kontrolltidluckor och datatidluckor
30 innefattar varje cykel en eller flera synkroniserings-tidluckor S som används för att synkronisera varje nods arbete gentemot varje ram. För att säkerställa att antalet tidluckor i en ram inte kommer att överlappa en efterföljande ram, följer dessutom ett skyddsband G efter
35 den sista luckan vid slutet av varje ram. Såsom indikeras i fig 2 upprepas ramen kontinuerligt.

513 518

13

Varje nod har tillgång till åtminstone en kontroll-
tidlucka C och till ett dynamiskt antal datatidluckor D
på den bitström som används av noden. Varje nod använder
sin kontrolltidlucka för att kommunicera med andra noder
5 i nätet. Antalet datatidluckor D som allokeras till res-
pektive nod beror av den överföringskapacitet som efter-
frågas av de slutanvändare som betjänas av respektive
nod. Om en specifik nods användare kräver en stor över-
föringskapacitet, kommer noden att allokera fler data-
10 tidluckor för detta ändamål. Om å andra sidan användarna
vid en viss nod endast behöver en liten överförings-
kapacitet, kan noden begränsa antalet därtill allokerade
datatidluckor. Även antalet kontrolltidluckor som alloke-
rats till en nod kan ökas eller minskas beroende på
15 nodens signaleringsbehov. Allokeringen av såväl kontroll-
tidluckor som datatidluckor till olika noder kan således
anpassas dynamiskt allteftersom nätetbelastningen för-
ändras. Det inses att det i denna typ av kretskoppling
inte förekommer någon adressinformation inbäddad i data-
20 strömmen.

I en grundläggande utföringsform hanterar växeln
enligt uppfinningen kontrolltidluckor C på samma sätt som
den hanterar datatidluckor D. Vad växeln angår tillhanda-
håller såväl datatidluckor som kontrolltidluckor tid-
25 luckedata som skall växlas i enlighet med instruktioner
som lagras i växeln. En nodstyrenhet som styr växelns
arbete kan emellertid vara anordnad att använda en eller
flera kontrolltidluckor och datatidluckor för att motta
och sända information avseende kanaluppsättning, kanal-
30 modifiering och kanalnedtagning, och att styra växelns
växlingsinstruktioner baserat därpå, såsom kommer att
beskrivas nedan.

Enligt uppfinning kan växeln i fig. 1 överföra data
från vilken inport som helst till samtliga utportar
35 parallellt vid varje given tidpunkt (så kallad icke-
blockerande växling). Att överföra information till flera
utportar från samma inport motsvarar multicasting eller

513 518

14

broadcasting. En grundläggande egenskap hos en växel enligt uppfinningen är att den kan utföra tidsmappning i samma operation som den växlar data från ingång till utgång, dvs den genomför växling i såväl tid som rum.

- 5 Tidsväxlingen möjliggör införlivande av tidluckedata från en viss tidlucka i en inkommande ram till en annan tidlucka i en utgående ram.

- I fig. 3 visas en växel SW, som kan vara den som visas i fig. 1, anordnad att växla tidluckedata från 10 tidluckor A0-An, B0-Bn av första bitströmmar A och B i tid och rum till tidluckor av andra bitströmmar C och D. Såsom visas i fig. 3 kan data i en tidlucka i en utgående ram av bitström C vara hämtad från vilken som av bitströmmar A och B och från vilken som av tidluckorna 15 därav. Förekomsten av A0 i de båda utgående bitströmmarnas C och D ramar motsvarar multicasting av tidluckan A0 till både bitström C och bitström D, men till olika tidluckor i respektive utgående ramar.

- En exemplifierande utföringsform av en växel i 20 enlighet med uppfinningen kommer nu att beskrivas med hänvisning till fig. 4. I fig. 4 mottar växeln SW, som kan vara den som används i växelnoden i fig. 1, tidluckedata från fyra inkommande bitströmmar 1-4 och överför den mottagna tidluckedata till fyra utgående bitströmmar 5-8. 25 Växeln SW innefattar följaktligen fyra inportar 21-24 och fyra utportar 65-68 som ger access till respektive bitströmmar.

- Varje inport 21-24 är anordnad att skriva varje ram som mottas från den respektive inkommande bitströmmen 30 till ett respektive ramminne (rambuffert) 31-34. Varje ramminne 31-34 har kapacitet att lagre tre sekventiella ramar av respektive bitström i tre motsvarande minnesområden 31a-31c, 32a-32c, 33a-33c, 34a-34c, nedan även benämnda "sidor", där varje minnesområde har kapacitet 35 att lagra en ram. Exempelvis kommer ramminnet 31, som tillfälligt lagrar varje ram av data som mottas som bitström 1 via inporten 21, att sekventiellt lagra en

513 518

15

första ram i minnesområdet 31a, nästa (andra) ram i minnesområdet 31b, och den efterföljande (tredje) ramen i minnesområdet 31c. Den därpå följande (fjärde) ramen kommer därefter att lagras återigen med utnyttjande av minnesområdet 31a, varvid den där tidigare lagrade första ramen skrivs över. Notera även att tidluckedata från en rams tidluckor skrivs in sekventiellt i respektive tidluckedatafält av respektive minnesområde, dvs ett datafält för varje tidlucka.

Vidare är fyra selekteringsenheter 45-48, vilka, såsom illustreras i utföringsformer nedan, kan vara realiserade i form av multiplexorer eller tri-state-bussar, anordnade att selektera tidluckedata att sändas till respektive utgående bitström 5-8 genom att fastställa, för varje utgående tidlucka, från vilket ramminne, och från vilket minnesområde därav, samt från vilket tidluckedatafält därav (dvs. bland för tillfället lagrade tidluckedata från samtliga fyra inkommande bitströmmar 1-4) som tidluckedata skall hämtas eller släppas fram till respektive utgående bitström. Varje selekteringsenhet 45-48 är således ansluten till samtliga fyra ramminnen 31-34 för hämtning av tidluckedata därifrån.

För att veta vilket ramminne, vilket minnesområde därav, och vilket datafält eller vilken tabellrad därav som skall användas för en specifik utgående tidlucka, har varje selekteringsenhet 45-48 tillgång till en respektive tidluckemappningstabell 55-58, vilken kommer att beskrivas mer detaljerat nedan med hänvisning till fig. 5. Varje tidluckemappningstabell 55-58 tillhandahåller, för varje tidlucka i den respektive utgående bitströmmens ram och vid en respektive tabellrad, ett fält (av en kolumn 55a-58a) som pekar ut ett ramminne och ett fält (av en kolumn 55b-58b) som pekar ut den tabellrad eller det fält därav som skall användas vid hämtning av data för den aktuella utgående tidluckan. Tidluckemappningstabellernas 55-58 tabellrader accessas företrädesvis i samma sekventiella ordning som den för tidluckorna i den motsvarande

513 518

16

utgående ramen, och varje tidluckemappningstabell stegas igenom en gång för varje ram av den tillhörande utgående bitströmmen.

När tidluckedata exempelvis skall hämtas till den
5 första tidluckan i varje ram av bitström 5, kommer selek-
teringsenheten 45 att gå till tidluckemappningstabellens
55 första tabellrad, mer specifikt till det första data-
fältet i kolumnen 55a och till det första datafältet i
kolumnen 55b, för att härleda information som pekar ut
10 från vilket av de fyra ramminnena och från vilken tabell-
rad eller vilket fält därav som tidluckedata skall häm-
tas. Selektionsenheten 45 kommer även att styra valet
av vilket minnesområde eller sida i varje ramminne 31-34
som skall användas vid hämtningen av tidluckedata för den
15 ram som för tillfället skrivs ut som bitström 5, såsom
kommer att beskrivas mer detaljerat nedan. Selektions-
enheten kommer följaktligen att hämta tidluckedata enligt
en given utmatningföljd för samtliga tidluckor som skall
motta data i den utgående bitströmmen. Växeln SW kommer
20 enbart att sända tidluckedata i de tidluckor hos den
utgående bitströmmen som är allokerade för detta ändamål.

En utföringsform av en tidluckemappningstabell av
det slag som visas i fig. 4 (och i fig. 9 som kommer att
beskrivs nedan) kommer nu att beskrivas med hänvisning
25 till fig. 5. Tidluckemappningstabellen (SMT - "Slot
Mapping Table") är en tabell i vilken de allokerade
kanalerna är definierade. Såsom visas i fig. 4 finns
företrädesvis en tidluckemappningstabell för varje utgå-
ende bitström. Den tidluckemappningstabell som visas i
30 fig. 5, vilken exempelvis kan vara tidluckemappnings-
tabellen 55 i fig. 4, är en ram djup och innehåller tre
logiska minnesområden eller kolumner, varvid varje kolumn
innefattar ett antal fält som motsvarar antalet tidluckor
i den utgående ramen, så att varje tabellrad, innefatt-
ande ett fält från vardera kolumn, unikt identifierar en
35 inkommande bitström och en tidlucka därav. Varje fält i
den första kolumnen (55a i fig. 4) definierar en inkom-

513 518

17

mande bitström (eller ett ingående ramminne), och varje fält i den andra kolumnen (55b i fig. 4) definierar en tidlucka därav (eller en tabellrad därav), och fälten i den tredje kolumnen (som endasat visas i fig. 5) definierar en sid-offset som kommer att beskrivas mer detaljerat nedan med hänvisning till fig. 6, 7a och 7b. Tidluckemappningstabellen definierar således tidluckeschemat i den utgående ramen, och inbegriper växling i såväl tid som rum.

10 Tidluckemappningstabellen stegas igenom uppifrån och ner en gång för varje utgående ram, för att definiera mappningen av varje utgående tidlucka därav, och utsignalen från tidluckemappningstabellen pekar direkt ut associerad tidluckedata från ramminnena. Således behövs
15 endast en enkel räknemekanism, såsom kommer att beskrivas nedan, för alstring av sekventiella adresser till tidluckemappningstabellen, vilken översätter dessa till direktuppslagningsadresser som används för datahämtning från ramminnena.

20 Utgående från den exemplifierande tidluckemappningstabell som visas i fig. 5 kommer den första tidluckan i varje utgående ram som styrs av denna tidluckemappningstabell att innehålla data från den femtonde tidluckan i varje ram av den tredje bitströmmen, medan den andra
25 utgående tidluckan inte kommer att förse med data från någon inkommande bitström, vilket skulle kunna resultera i sändning av en så kallad idle-bitgrupp om skrivrättighet till den andra utgående tidluckan är allokerad att användas av växeln. Vidare framgår att den tredje utgående tidluckan skall hämtas från den 3988:e tidluckan i
30 varje ram av den andra inkommande bitströmmen, och så vidare.

En sid- eller minnesområdesselekteringsmekanism att användas vid varje inport och varje utport kommer nu att
35 beskrivas med hänvisning till fig. 6, 7a och 7b. Såväl inskrivningen av tidluckedata i ramminnena, som den selektiva utläsningen vid utmatning av tidluckedata med

513 518

18

utnyttjande av tidluckemappningstabellerna, styrs var och en av separata och oberoende ramsynkroniseringssignaler, vilka härleds från eller definieras för de respektive bitströmmarna, vilket sammantaget gör att växeln består av N (antalet inportar) plus M (antalet utportar) klockdomäner. Ramsynkroniseringssignalerna används för att stega fram respektive skriv- eller läsperkare som selekterar sidor, dvs minnesområden, i respektive ramminnen.

För varje inport och varje utport används ett respektive pekarblock, som visas i fig. 6, vilket klockas av respektive ramsynkroniseringssignaler SYNK. Perkarblocket är anordnat att peka ut vilket minnesområde, dvs vilken sida, av respektive ramminne som skall användas för skrivning eller selektiv utläsning. I varje pekarblock 100 stegar en sjävgående räknare fram en sid-adress, i modulo-3-form, på varje mottagning av respektive ramsynkroniseringssignal. Varje pekarblock tillhandahåller således sekventiellt sid-adress 0, 1, 2, 0, 1, 2, 0, 1, ..., och så vidare. Varje pekarblock 100 mottar dessutom en sid-offset-signal som har ett värde som adderas (också i modulo-3-form) till räknarens värde för att ge en resulterande ramsidosелеkteringssignal, såsom kommer att beskrivas ytterligare nedan med hänvisning till fig. 7a och 7b.

Det sekventiella utpekandet av minnesområden hos ett ramminne för inskrivning av ramar av respektive bitström, såsom beskrivits ovan med hänvisning till fig. 4, kommer att åtföljas av ett motsvarande sekventiellt utpekande av minnesområden hos ramminnet för selektiv utläsning av tidluckedata därifrån. För varje ramminne kommer det att finnas en skrivpekare (som hör samman med inskrivningen av respektive inkommande bitström) och M läspekare (som var och en hör samman med den selektiva utläsningen för respektive utgående bitström), där M är antalet utgående bitströmmar.

Det är viktigt att utpekandet av minnesområden eller sidor för sekventiell inskrivning och utpekandet av sidor

513 518

19

för selektiv utläsning utförs på ett sådant sätt att buffertkonsistenthet bevaras i syfte att undvika att tidluckedata från en ram läses ut innan inskrivningen därav är avklarad. Sådan konsistenthet uppnås genom att
5 tre minnesområden utnyttjas i varje ramminne, vilket gör det möjligt att alltid hålla ett minsta avstånd på en halv ram mellan inskrivningen och utläsningen av tidluckedata, såsom kommer att beskrivas ytterligare med hänvisning till fig. 7a och 7b.

10 I pekarblocket 100 i fig. 6, när det används vid en utport för den selektiva utläsningen av ramar, modifieras den självgående räknarens sid-adress av tillförandet av en sid-offset-signal som mottas från tidluckemappnings-
15 tabellen, såsom nämnts ovan med hänvisning till fig. 5. Sid-offset-signalen härleds från tidluckemappnings-
tabellens sid-offset-fält och modifierar pekarblockets adress genom att addera en offset därtill, också i modulo-3-form, till att bilda en modifierad sid-adress. Sid-offset-signalen anges således per tidlucka och beror
20 av fasskillnad ("skew") mellan den inkommande och den utgående bitströmmens ramar samt av kriterier för accessbegränsningar. Accessbegränsningar är restriktioner som läggs på tidsomappningen i syfte att reducera fördröj-
ningen genom växeln på bekostnad av att möjligheten till
25 ommappning i tiden begränsas. Ramsynkroniseringens fasskillnad anges här i intervallet $-1 < \text{fasskillnad} < 1$, uttryckt som andel av en hel ram.

Fig. 7a visar tilldelningen av sid-offset under så kallad full tidsmappning, dvs då inga accessbegränsningar
30 föreligger, vilket även benämns normal mod. Det antas i fig. 7a att sid-offset hos pekarblocket för inskrivning av en inkommande bitström är satt till 2, vilket innebär att inskrivningen kommer att gå över till sida 0 ($=2+1$ i modulo-3) efter mottagningen av nästa ramsynkroniserings-
35 signal hos den inkommande bitströmmen. Den selektiva utläsningen från ramminnet kan då accessa minnesområden med utnyttjande av antingen 0 eller 1 som sid-offset

513 518

20

beroende på ramsynkroniseringens fasskillnad. Vid förhållanden då en negativ fasskillnad föreligger, dvs då den utgående bitströmmens ramsynkroniseringsignal uppträder före den inkommande bitströmmens, sätts sid-offset till 0 (det alternativ som pilen längst ner till vänster i fig. 7a visar). Den selektiva utläsningen kommer då alltid att hinna hoppa till nästa minnesområde och kommer inte att fångas in av att skrivpekaren senare förflyttar sig till ett nytt minnesområde. Vid förhållanden då en positiv fasskillnad föreligger, dvs då den utgående bitströmmens ramsynkroniseringsignal anländer efter den inkommande bitströmmens, sätts sid-offset till 1 (det alternativ som pilen längst ner till höger i fig. 7a visar). Detta innebär att en buffertmarginal om en sida (en ram) tillförs mellan inskrivning och utläsning. Dessa tilldelningsregler säkerställer att inskrivningen som uppdaterar en sidan kommer att vara avklarad när läspekaren stegar in till denna sida. Det innebär dessutom att skrivpekaren inte kommer att hinna runt och ikapp genom att stega in på den sida som läses innan läspekaren har fortsatt till nästa sida.

Fig. 7b visar tilldelningen av sid-offset i en så kallad bypass-mod, vilken aktiveras av data från det tredje fältet hos tidluckemappningstabellen i fig. 5. I normal mod, såsom diskuterats ovan med hänvisning till fig. 7a, medger växeln full tidsomappning av data från första inkommande tidlucka till sista utgående tidlucka, och vice versa, men detta kräver buffring av inte enbart en skrivsida och en lässida utan också av en extra ram (den tredje sidan) som säkerställer konsistenthet, vilket således tillför en fördröjning genom växeln. I bypass-mod kan fördröjningen genom växeln reduceras en ram för en eller flera tidluckor på bekostnad av vissa reskriktioner för om-mappning, såsom diskuterats nedan. I den bypass-mod som visas i fig. 7b är läspekarens sid-offset för normal mod från fig 7a tillfälligt uppstegad ett steg för enskilda en eller flera tidluckor av en ram, vilket

513 518

21

följaktligen gör det möjligt för skriv- och läspekarna att tillfälligt använda samma sida, såsom illustreras i fig 7b i form av de alternativa läspeakarpilarnas försjuttning ett steg till höger i jämförelse med fig. 7a.

5 Denna bypassmod kan endast tillåtas under förutsättning att den selektiva läsningen inte läser före den sekventiella skrivningen, vilket säkerställs om ingen utgående tidlucka, hos en utgående bitström, mottar data från en inkommande tidlucka, hos en inkommande bitström, 10 som har ett högre tidluckenummer. Utgående tidlucka #9 kan således använda bypassmod för att reducera fördröjningen genom växeln när den läser data från en inkommande tidlucka #3, men utgående tidlucka #3 får inte använda bypassmod vid utläsning av data från en inkommande 15 tidlucka #9.

Denna förutsättning för bypass kan i själva verket relaxeras om den faktiska fasskillnaden tas i beaktande. För enkelhets skull antas nu att fasskillnaden uttrycks i antal tidluckor. När fasskillnaden är positiv, dvs när 20 den inkommande bitströmmens ramsynkroniseringssignal uppträder före den utgående bitströmmens ramsynkroniseringssignal, kan fasskillnaden utnyttjas för att tillåta utläsning av tidluckedata för utgående tidluckor från inkommande tidluckor med högre sekvensnummer, så länge 25 växeln inte refererar längre fram än fasskillnaden. Med negativ fasskillnad, dvs när den utgående bitströmmens ramsynkroniseringssignal uppträder före den utgående bitströmmens ramsynkroniseringssignal, har man i den normala moden redan tillfört en marginal om en ram, 30 vilket innebär att nästan full bypass-omkappning tillåts om fasskillnaden är nästan noll men negativ. När å andra sidan fasskillnaden är nästan minus en ram, tillåts ingen bypass frammåt. Detta sammanfattas i tabell I nedan.

513 518

22

Tabell I

<u>MOD</u>	<u>FAS- SKILLNAD</u>	<u>FÖRDRÖJNING</u>	<u>MAPPNINGS- BEGRÄNSNINGAR</u>
Normal	Positiv	1 ram + fasskillnad	Inga
Normal	Negativ	2 ramar - ABS(fasskillnad)	inga
Bypass	Positiv	Fasskillnad	Inkommande lucka - Utgående lucka < Fasskillnad
Bypass	Negativ	1 ram - ABS(fasskillnad)	Inkommande lucka - Utgående lucka < Fasskillnad

De ramsynkroniserings- och sidselekteringsmekanismer
 5 som beskrivits ovan med hänvisning till fig. 6, 7a och 7b
 utnyttjas med fördel i den utföringsform som beskrivits
 ovan med hänvisning till fig. 4, även om sådana element
 ej explicit visas där, och de utnyttjas även i den
 utföringsform som kommer att beskrivas nedan med hänvis-
 10 ning till fig. 8.

En ytterligare utföringsform av en växel i enlighet
 med föreliggande uppfinning, vilken inbegriper de särdrag
 som beskrivits ovan med hänvisning till fig. 4, 5, 6, 7a
 och 7b, kommer nu att beskrivas med hänvisning till fig.
 15 8, varvid växeln SW är anordnad att växla data mellan N
 inkommande bitströmmar och M utgående bitströmmar. Efter-
 som överföring av data från en av de N inkommande bit-
 strömmarna till de M utgående bitströmmarna går till på
 samma sätt som överföringen från de övriga inkommande
 20 bitströmmarna, och eftersom den selektiva utläsningen
 från de N inkommande ramminnena till en av de M utgående
 bitströmmarna sker på samma sätt som den selektiva
 utläsningen till de övriga utgående bitströmmarna, såsom
 illustreras i fig. 4, kommer endast de element som i
 25 första hand hör samman med en inkommande bitström och en

513 518

23

utgående bitström att visas i fig. 8, och beskrivningen av växeln i fig 8, kommer att begränsas i enlighet därmed.

I fig. 8 är en inport 210 på växeln SW anordnad att motta en inkommande bitström och att mata den till en demultiplexor 220. En ramsynkroniseringsenhet hos in-
5 porten härleder ramsynkroniseringssignalen från den inkommande bitströmmen och synkroniserar, baserat därpå, en skrivtidluckerräknare 240 och en enhet 250 för selektering av skrivsida. Dessutom är en klockenhet hos inporten 210
10 anordnad att mata en signal, som uppträder i takt med tidluckefrekvensen, till skrivtidluckerräknaren 240. Enheten 250 för selektering av skrivsida är anordnad att styra demultiplexorn 220, i takt med ramsynkroniserings-
signalens frekvensen, till att sekventiellt i modulo-3-
15 form skriva in ramarna av den inkommande bitströmmen i tre minnesområden, eller sidor, 300a, 300b och 300c av ett ramminne 300 för nämnda inkommande bitström.

Under det att enheten 250 för selektering av skrivsida och demultiplexorn 220 styr vilken sida av ramminnet
20 som en specifik ram av den inkommande bitströmmen skall skrivas in i, kommer skrivtidluckerräknaren att styra vilken tabellrad av den aktuella sidan som tidluckedata från varje specifik tidlucka av ramen skall skrivas in i. Den beskrivna uppsättningen komponenter kommer att
25 återfinnas vid varje inport hos växeln SW.

Det utmatande delen av växel, vilken visas i den nedre delen av fig. 8, innefattar, för varje utgående bitström, en första uppsättning om M multiplexorer 310,
30 en andra multiplexor 320, en utport 330, en tidlucke-räknare 350, en tidluckemappningstabell 370, en enhet 380 för selektering av lässida, och en idle-generator 390.

Porten 330 härleder en ramsynkroniseringssignal, antingen från den utgående bitströmmen (om en synkronisering redan existerar på nämnda bitström, varvid bitström-
35 men härrör från en nod som är belägen upströms växeln), eller genom intern alstring av en ramsynkroniserings-signal (om växeln är den utgående bitströmmens start-

513 518

24

punkt).

Ramsynkroniseringssignalen matas till att synkronisera tidluckeräknaren 350 och enheten 380 för selektering av lässida. Utporten härleder även en klocksignal som uppträder i enlighet med tidluckefrekvensen och som matas till tidluckeräknaren 350. Tidluckeräknaren adresserar sekventiellt tidluckemappningstabellens 370 tabellrader, och stegar igenom tidluckemappningstabellen en gång varje ram. För en specifik utgående tidlucka av den utgående bitströmmen kommer tidluckeräknaren således att peka ut en motsvarande tabellrad hos tidluckemappningstabellen 370. Tidluckemappningstabellen kommer då att tillhålla tre signaler som baseras på data från denna tabellrad, såsom har beskrivits ovan; en signal som pekar ut den inkommande bitström från vilken tidluckedata för den aktuella utgående tidluckan skall hämtas, vilken signal sänds till den andra multiplexorn 320, en signal som pekar ut vilken tidlucka i den återkommande sekvensen av tidluckor inom en ram av den inkommande bitströmmen som tidluckedata skall hämtas ifrån, vilken signal sänds till samtliga N ramminnen, och en signal som pekar ut vilken sid-offset som används, vilken signal sänds till enheten 380 för selektering av lässida, såsom har diskuterats ovan med hänvisning till fig. 5, 7a, och 7b.

Det tidluckenummer, exempelvis tidluckenummer i, som lästs ut från tidluckemappningstabellen, för den för tillfället behandlade utgående tidluckan, matas från tidluckemappningstabellen 370 till vart och ett av de N ramminnena (endast ett visas fig. 8) med utnyttjande av direktuppslagning, vilket föranleder utläsning av den i:e tabellraden från var och en av de tre sidorna hos vart och ett av de n ramminnena (vilket totalt innebär en utläsning från $3 \times n$ datafält). Det tre utläsningarna från varje ramminne matas till nämnda första uppsättning multiplexorer 310, där var och en av multiplexorerna 310 är anordnad att motta tidluckedata från tre sidor av det tillhörande ramminnet. Enheten 380 för selektering av

513 518

25

lässida är därefter anordnad att styra nämnda första uppsättning multiplexorer, i takt med ramsynkroniserings-signalen, för att avgöra vilka tidluckedata, motsvarande respektive sidor, som vid varje givet tillfälle skall matas vidare av multiplexorerna 310, varvid hänsyn tas till förekomsten av varje slags sid-offset- eller bypass-instruktioner, såsom de mottas från tidluckemappningstabellen. Var och en av multiplexorerna 310 kommer således att tillhandahålla tidluckedata från ett av fälten hos respektive ramminne, vilket totalt innebär N utläsningar av tidluckedata som sänds till den andra multiplexorn 320. I den andra multiplexorn avgörs vilken av dessa N utläsningar, dvs från vilken bitström, som skall sändas till den utgående bitströmmen, i enlighet med vad som pekas ut av den bitströmssselekerande signalen från tidluckemappningstabellen 370. Tidluckemappningstabellen 370 och enheten 380 för selektering av lässida utnyttjar således nämnda första och andra multiplexorer 310, 320 för att hämta tidluckedata från ett specifikt valt fält av ett specifikt valt minne av nämnda ramminnen.

Såsom visas i fig. 8 matas även ett idle-mönster och en kaskaderingssignal till den andra multiplexorn. Tidluckemappningstabellen 370 kan följaktligen, för varje specifik tidlucka av den utgående bitströmmen, instruera den andra multiplexorn 320 att sända ett idle-mönster från idle-generatorn 390, exempelvis för den andra, icke-allokerade tidluckan enligt tidluckemappningstabellen i fig. 5. Notera emellertid att det faktum att en tidlucka inte är allokerad inte nödvändigtvis innebär att ett idle-mönster skall sändas istället, eftersom tidluckan mycket väl kan vara allokerad att användas av andra noder som är anslutna till den utgående bitströmmen (speciellt om växeln inte är bitströmmens startpunkt). För att möjliggöra sammankoppling av flera växlar av detta slag till en större växel, kan kaskaderingsingången användas. En utgående bitström från en annan växel ansluts då till

513 518

26

den andra multiplexorns kaskaderingsingång, vilket gör det möjligt att växla data från denna andra växel till den utgående bitströmmen från växeln SW, dock fortrafande i enlighet med vad som anges av tidluckemappningstabellen

5 370. Kaskaderingsmöjligheten innebär att man kan skapa större switchar utgående från små växlar, exempelvis kan fyra 4x4-växlar användas för att bygga en full 8x8-växel

En konfigurationssignal från en nodstyrenhet som styr uppdatering av tidluckemappningstabellen matas till

10 denna, såsom illustreras av den pil som betecknas Konfig i fig. 8 och såsom kommer att beskrivas ytterligare nedan med hänvisning till fig. 9, 10a och 10b.

Den beskrivna uppsättningen komponenter 310-390 återfinns vid var och en av växelns M utportar, vilket

15 ger ett total antal om $N \times M$ första mutliplexorer (310) och ett totalt antal om M andra multiplexorer (320).

Såsom har beskrivits ovan är en första nivåns multiplexor anordnad vid utgången från vart och ett av ramminnena för att välja data från de tre ramsidorna därav.

20 Resultatet matas därefter till en andra nivåns mutliplexor som väljer en specifik bitström (inport). Detta tillvägagångssätt uppfyller två syften: a) det visar att data överförs på ledningar som är privata för var och en av utportarna, vilket gör att man undviker att utnyttja ett delat, gemensamt medium; och b) det illustrerar de

25 distinkta paramterar som styr selekteringen.

I beaktande av de hårdvarukostnader som hör samman med utnyttjande av flera breda bussar, kan emellertid även utnyttjande av andra byggblock än multiplexorer

30 övervägas. Enligt en alternativ utföringsform används en tri-state-buss eller en pre-charged-buss istället för multiplexorerna i syfte att uppnå samma ändamål som multiplexorerna men med ett mycket bättre utnyttjande av yta. Om man använder direktåtkomstminnesmoduler (RAM) för

35 att implementera ramminnena, finns ofta tri-state-utmatning redan inkluderat däri. Det bör noteras att en sådan utföringsform inte kräver några ytterligare medel

513 518

27

för inbörders uteslutning. Vid varje tidpunkt är den källa som har rätt att driva bussen unikt specificerad. I en sådan utföringsform alstaras en signal för aktivering av en drivenhet från ett avkodarblock som har inporten, (såsom den läses ut från tidluckemappningstabellen) och ramsidopekaren (0..2) som insignal.

På liknande sätt kan den demultiplexor som matar ramar av den inkomande bitströmmen till respektive ramsidor av ramminnet också ersättas med en bus som matar data till samtliga tre sidor, varvid en skrivaktiverings-signal selekterar vilken ramsida som skrivs till.

Ett förfarande för uppdatering av tidluckemappningstabeller hos en växel i enlighet med uppfinningen kommer nu att beskrivas med hänvisning till fig. 9, 10a och 10b. När de kanaler eller tidluckor som skall växlas mellan olika bitströmmar ändras som följd av omallokering av resurser, uppdateras växelns tidluckemappningstabeller antingen med utnyttjande av en central enhet inne i växeln eller via ett externt gränssnitt kopplat till en dator som styr växelns arbete, såsom en central enhet eller dator som ofta benämns nodstyrenhet (NC - "Node Controller"). I fallet då en extern dator utnyttjas, är det externa gränssnittet åtskilt från växelns portar, och den bandbredd som utnyttjas för att uppdatera tidluckemappningstabellerna är generellt avsevärt lägre än bandbredden på växlens portar.

Ett problem som föreligger vid uppdatering av tidluckemappningstabeller vid flera utgångar med olika ramfaser är att bibehålla ramkonsistenthet, vilket exempelvis krävs vid hantering av multicast-kanaler. Ett fördelaktigt sätt att lösa detta problem, som självfallet inte är begränsat till uppdatering av multicast-kanaler på multipla utportar, visas i fig 9, 10a och 10b, där fig. 9 visar tre uppdateringstabeller som adresseras av nodstyrenheten, fig. 10a visar ett flödesschema över nodstyrenhetens uppdateringsförfarande, vilket benämns global uppdatering, och fig 10b visar ett flödesschema över

513 518

28

uppdateringsförfarandet hos var och en av tidluckemappningstabellerna, vilket benämns lokal uppdatering.

När ett uppdateringsförfarande inleds, i steg S10 i fig. 10a, kommer nodstyrenheten att adressera uppdateringstabeller 410, 420 och 430 som visas i fig. 9, vilka exempelvis kan vara anordnade i styrenheten eller i växeln i kommunikation med styrenheten. I steg S20 uppdaterar nodstyrenheten tabeller 430 (en tabell 430 för varje tidluckemappningstabell) innefattande en uppsättning fält som pekar ut vilka utgående tidluckor, i följden av utgående tidluckor, som skall uppdateras i respektive tidluckemappningstabell och vilka motsvarande data som skall ersätta gammal data vid respektive fält av nämnda tidluckemappningstabell. Efter att på detta sätt ha angivit alla aktuella uppdateringar för alla aktuella tidluckemappningstabeller, vilket konstatera i ett steg S30, kommer nodstyrenheten att instruera tidluckemappningstabellerna att uppdatera sitt innehåll genom nodstyrenheten sätter en uppsättning flaggor, en för varje tidluckemappningstabell, till ett (1) i en tabell 410 (tabellen 410 i fig. 9 representerar indikationer till fyra tidluckemappningstabeller). Den förser även en ramselekteringstabell 420 med information som anger vid vilken ram, i modulo-3-ordning, som tidluckemappningstabellerna skall uppdatera sitt innehåll.

På motsvarande sätt kommer varje tidluckemappningstabell att vid starten av varje ram, vilket indikeras av mottagandet av en ramsynkroniseringssignal i steg B10, undersöka huruvida tidluckemappningstabellens flagga i tabell 410 är satt, i steg B20, för att fastställa huruvida tidluckemappningstabellen skall uppdateras. Om så inte är fallet, dvs om den flagga som hör till tidluckemappningstabellen är satt till noll (0), kommer tidluckemappningstabellen att gå vidare till att genomföra selektiv utläsning av tidluckedata från ramminnena i steg B30, B40 och B50 på det generella sätt som beskrivits ovan. Om emellertid flaggan indikerar att uppdatering begärs, dvs

513 518

29

om den flagga som hör till tidluckemappningstabellen är
satt till ett (1), kommer tidluckemappningstabellen att
undersöka ramselekteringstabellen 420 i steg B60 för att
avgöra huruvida tidluckemappningstabellen skall upp-
5 dateras vid starten av den aktuella ramen eller vid
starten av en senare ram. Om uppdateringen inte skall äga
rum förrän vid en senare ram, fortsätter tidluckemapp-
ningstabellen till att genomföra selektiv utläsning av
tidluckedata från ramminnena på det generella sätt som
10 beskrivits ovan. Om emellertid ramselekteringstabellen
420 indikerar att uppdatering skall ske under den
aktuella ramen, kommer tidluckemappningstabellen att
börja processa tidluckor på vanligt sätt, men för varje
tidlucketabellrad kommer den att se efter, i steg B70, i
15 sin uppdateringstabell 430 huruvida tabellraden för den
aktuella tidluckan skall uppdateras, och, om så är fallet,
uppdatera tabellraden med den information som tillhanda-
hålls i uppdateringstabellen 430 före det att den selek-
tiva utläsningen genomförs. När hela ramen har stegats
20 igenom på detta lätt, kommer tidluckemappningstabellen
att återställa sin uppdateringsflagga i tabell 410, och
på så vis informera nodstyrenheten om att uppdateringen
är avklarad.

På motsvarande sätt kommer nodstyrenheten att konti-
25 nuerligt undersöka tabellen 410, i steg S50, för se efter
huruvida samtliga tidluckemappningstabeller har åter-
ställt sina flaggor. När så har skett, dvs när samtliga
flaggor i tabellen 410 har återställts till noll (0),
avslutas uppdateringsförfarandet i steg S60.

30 Detta uppdateringsförfarande är utformat i syfte att
reducera antalet återsynkroniserade signaler, dvs signa-
ler från andra klockdomäner synkroniserade med varandra.
Den selekterade synkroniseringen kan baseras på en
sätt/återställ-vippa för varje utport. Varje återställ-
35 ning styrs då av det lokala uppdateringsförfarandet.

Istället för att uppdatera enskilda tidluckor kan
nodstyrenheten enligt en alternativ utföringsform till-

513 518

30

handahålla data för en hel ny ram, varvid nodstyrenheten helt enkelt intruerar tidluckemappningstabellerna att byta hela ramen av mappningsdata. Emellertid kan blotta antalet tidluckor i en ram medföra att denna utförings-
5 form blir långt mer tidskrävande jämfört med alternativet att endats uppdatera en delmängd av tidluckor.

Även om uppfinningen har beskrivits ovan med hänvisning till exemplifierande utföringsformer därav, kan olika förändringar, modifieringar och kombinationer
10 därav, såsom inses av fackmän inom teknikområdet, realiserats inom ramen för uppfinningen skyddsomfång, vilket definieras av de bifogade patentkraven.

513 518

31

PATENTKRAV

1. Förfarande för överföring av data mellan en första uppsättning bitströmmar och en andra uppsättning bitströmmar hos ett kretskopplat tidsmultiplexerat nät, varvid var och en av nämnda bitströmmar indelas i återkommande ramar och var och en av nämnda återkommande ramar indelas i tidluckor, vilket förfarande innefattar stegen:
- 5
- 10 att motta nämnda första uppsättning bitströmmar; att tillfälligt lagra tre sekventiella ramar, av varje bitström av nämnda första uppsättning bitströmmar, i respektive minnesområden;
- 15 att selektivt läsa, för varje ram av varje bitström av nämnda andra uppsättning bitströmmar, data från de för tillfället lagrade ramarna av nämnda första uppsättning bitströmmar; och
- 20 att avge nämnda data, som lästs från nämnda ramar, i allokerade tidluckor hos nämnda andra uppsättning bitströmmar.
2. Förfarande enligt krav 1, varvid nämnda lagringssteg innefattar steget att lagra nämnda ramar i ett flertal datafält hos ett ramminne, vilka datafält är anordnade att lagra data från respektive tidluckor i följden av tidluckor i återkommande ramar för varje bitström av nämnda första uppsättning bitströmmar.
- 25
3. Förfarande enligt krav 1 eller 2, varvid nämnda läsningssteg innefattar stegen: att för var och en av de tidluckor i ramar av nämnda andra uppsättning bitströmmar som är allokerade att motta data från nämnda första uppsättning bitströmmar tillhandahålla en respektive identifikation på ett därtill associerat datafält hos nämnda ramminne, vilket datafält tillhandahåller data att sändas ut i respektive tidlucka; och att selektivt läsa, för tidluckorna i varje ram av varje bitström av nämnda andra
- 30
- 35

513 518

32

uppsättning bitströmmar, data från nämnda datafält baserat på nämnda identifikationer.

4. Förfarande enligt något föregående krav, innefattande stegen: att motta en ytterligare bitström; att för en tidlucka i en ram av åtminstone en bitström av nämnda andra uppsättning bitströmmar, vilken tidlucka är allokerad att motta data från nämnda ytterligare bitström, tillhandahålla en identifikation som är relaterad till nämnda ytterligare bitström för hämtning av data därifrån; och att selektivt läsa, för nämnda tidlucka hos nämnda åtminstone en bitström av nämnda andra uppsättning bitströmmar, data från nämnda ytterligare bitström baserat på nämnda identifikation.

15

5. Förfarande enligt krav 3 eller 4, innefattande att tillhandahålla en uppsättning identifikationsuppdateringar och därtill associerad ramselekteringsinformation avseende den ram under vilken införandet av nämnda identifikationsuppdateringar skall äga rum, och att uppdatera nämnda identifikationer med nämnda uppsättning identifikationsuppdateringar under den ram som anges av nämnda associerade ramselekteringsinformation.

20

6. Förfarande enligt något krav 3, 4 eller 5, varvid nämnda steg att tillhandahålla en identifikation innefattar att för varje tidlucka i en ram av varje bitström av nämnda andra uppsättning bitströmmar tillhandahålla en identifikation som anger huruvida den respektive tidluckan hos nämnda andra uppsättning bitströmmar skall motta data från någon av nämnda första uppsättning bitströmmar och, om så är fallet, från vilket respektive datafält som nämnda data skall hämtas.

30

7. Förfarande enligt något föregående krav, innefattande steget att för varje bitström av nämnda första uppsättning bitströmmar detektera en ramsynkroniserings-

513 518

33

signal och att, baserat därpå, synkronisera nämnda tillfälliga lagring av ramar från varje bitström av nämnda första uppsättning bitströmmar.

5 8. Förfarande enligt något föregående krav, innefattande steget att fastställa en ramsynkroniserings-signal för varje bitström av nämnda andra uppsättning bitströmmar och att, baserat därpå, synkronisera nämnda utläsning av data och sändningen därav i nämnda andra
10 uppsättning bitströmmar.

 9. Förfarande enligt krav 1, innefattande steget att för var och en av nämnda första uppsättning bitströmmar ange, vid varje given tidpunkt, vilket av nämnda minnes-
15 områden som för tillfället används för inskrivning av ramar för lagring.

 10. Förfarande enligt krav 1 eller 9, innefattande steget att ange, vid varje given tidpunkt, vilka av
20 nämnda ramminnesområden som för tillfället används för selektiv läsning av data för nämnda andra uppsättning bitströmmar.

 11. Förfarande enligt något föregående krav, varvid
25 kanaler på nämnda bitströmmar definieras av respektive uppsättningar tidluckor i varje ram av respektive bitström, vilka tidluckor allokeras dynamiskt baserat på dynamiskt varierande kapacitetskrav från nätets noder.

30 12. Anordning för överföring av data mellan en första uppsättning bitströmmar och en andra uppsättning bitströmmar i ett kretskopplat, tidsmultiplexerat nät, varvid var och en av nämnda bitströmmar indelas i återkommande ramar och var och en av nämnda återkommande
35 ramar indelas i tidluckor, innefattande:

 mottagarorgan (21-24; 210) för mottagning av nämnda första uppsättning bitströmmar;

513 518

34

ramminnesorgan (31-34; 300) innefattande tre minnes-
områden (31a-31c; 300a-300c) för varje bitström av nämnda
första uppsättning bitströmmar, vilka tre minnesområden
är anordnade att tillfälligt lagra tre sekventiella ramar
5 av respektive bitström av nämnda första uppsättning bit-
strömmar;

läsorgan (45-48, 55-58; 310, 320, 370) för selektiv
läsning, för varje ram av varje bitström av nämnda andra
uppsättning bitströmmar, av data från valda ramar av de
10 för tillfället lagrade ramarna av nämnda första uppsätt-
ning bitströmmar; och

organ (5-8; 330) för sändning av nämnda data, som
lästs från nämnda ramminnesorgan, i allokerade tidluckor
hos nämnda andra uppsättning bitströmmar.

15

13. Anordning enligt krav 12, varvid nämnda ram-
minnesorgan innefattar ett flertal datafält som är anord-
nade att lagra data från respektive tidluckor i följd
av tidluckor i återkommande ramar av varje bitström av
20 nämnda första uppsättning bitströmmar.

14. Anordning enligt krav 12 eller 13, varvid nämnda
läsorgan innefattar: organ (55-58; 370; Fig. 5) för att
för var och en av de tidluckor i en ram av var och en av
25 nämnda andra uppsättning bitströmmar som är allokerade
att motta data från nämnda första uppsättning bitströmmar
tillhandahålla en respektive identifikation på ett
associerad datafält hos nämnda ramlagringsorgan, vilket
datafält tillhandahåller data för den respektive alloke-
rade tidluckan; och organ (45, 48; 310, 320, 380) för
30 selektiv läsning, för tidluckorna i varje ram av var och
en av nämnda andra uppsättning bitströmmar, av data från
nämnda datafält baserat på nämnda identifikationer.

35

15. Anordning enligt något av kraven 12-14, inne-
fattande: mottagningsorgan (320) för mottagning av en
ytterligare bitström; organ (55-58; 370; Fig. 5) för att

513 518

35

för en tidlucka i en ram av åtminstone en bitström av nämnda andra uppsättning bitströmmar, vilken tidlucka är allokerad att motta data från nämnda ytterligare bitström, tillhandahålla en identifikation som är relaterad
5 till nämnda ytterligare bitström för hämtning av data därifrån; och organ (320) för selektiv läsning, för nämnda tidlucka hos nämnda åtminstone en bitström av nämnda andra uppsättning bitströmmar, av data från nämnda ytterligare bitström baserat på nämnda identifikation.

10

16. Anordning enligt krav 14 eller 15, innefattande minnesorgan (430) för lagring av en uppsättning identifikationsuppdateringar och för lagring av associerad ramselekteringsinformation (420) avseende den ram under
15 vilken införande av nämnda identifikationsuppdateringar skall äga rum, och organ (410) för uppdatering av nämnda identifikationer med nämnda uppsättning identifikationsuppdateringar under den ram som anges av nämnda associerad ramselekteringsinformation.

20

17. Anordning enligt något av kraven 14-16, varvid nämnda organ för tillhandahållande av en identifikation är anordnade att för varje tidlucka i en ram av varje bitström av nämnda andra uppsättning bitströmmar till-
25 handahålla en identifikation som anger huruvida den respektive tidluckan hos nämnda andra uppsättning bitströmmar skall motta data från någon av nämnda första uppsättning bitströmmar och, om så är fallet, från vilket datafält, hos nämnda ramminnesorgan, som nämnda data
30 skall hämtas.

18. Anordning enligt något av kraven 12-17, innefattande ramsynkroniseringsorgan (210) för detektering av en ramsynkroniseringssignal för var och en av nämnda
35 första uppsättning bitströmmar och för att, baserat därpå, synkronisera den tillfälliga lagringen av ramar,

513 518

36

från respektive var och en av nämnda första uppsättning bitströmmar, i nämnda ramminnesorgan.

19. Anordning enligt något av kraven 12-18, innefattande ramsynkroniseringsorgan (330) för bestämning av en ramsynkroniseringssignal för var och en av nämnda andra uppsättning bitströmmar och för synkronisering, baserat därpå, av den selektiva läsningen av data från nämnda ramminnesorgan och utsändingen därav i nämnda andra uppsättning bitströmmar.

20. Anordning enligt krav 12, varvid nämnda ramminnesorgan innefattar pekarorgan (100; 250) som anger, vid varje given tidpunkt, vilka minnesområden av nämnda ramminnesorgan som för tillfället används för inskrivning av ramar av nämnda första uppsättning bitströmmar i nämnda ramminnesorgan.

21. Anordning enligt krav 12 eller 20, varvid nämnda organ för läsning innefattar pekarorgan (100; 380) som anger, vid varje given tidpunkt, vilka minnesområden, av nämnda ramminnesorgan, som för tillfället används för den selektiva utläsningen av data för nämnda andra uppsättning bitströmmar.

25

22. Anordning enligt något av kraven 12-21, varvid kanaler på nämnda bitströmmar definieras av respektive uppsättningar tidluckor i varje ram av respektive bitström, vilka tidluckor allokeras dynamiskt baserat på dynamiskt varierande kapacitetskrav från nätets noder.

30

1/7

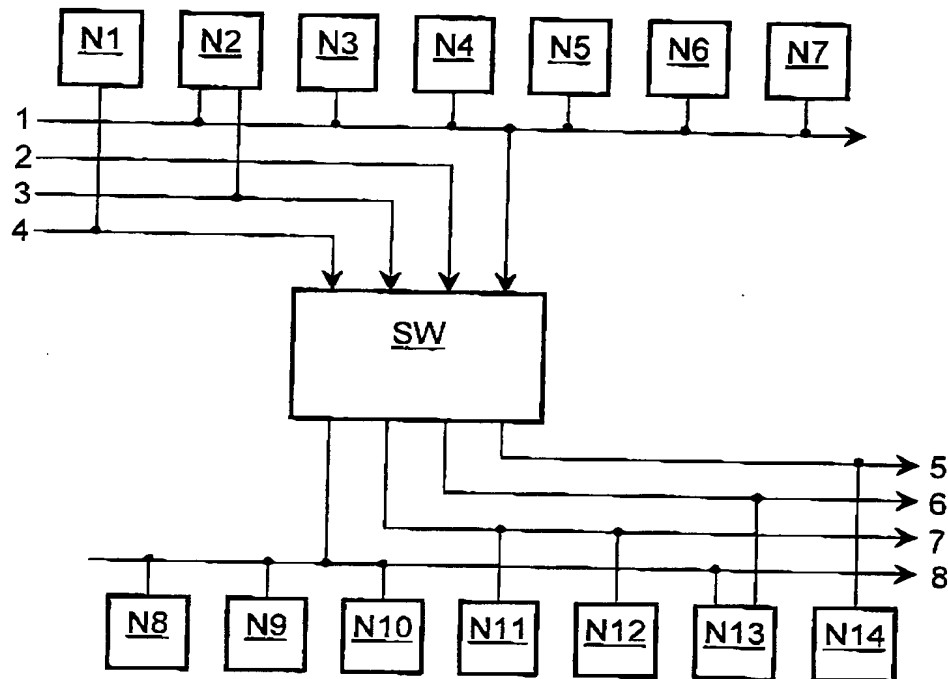


FIG. 1

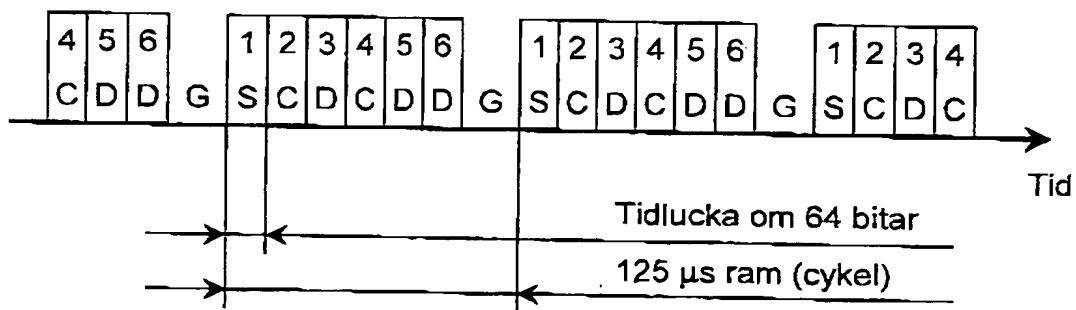


FIG. 2

2/7

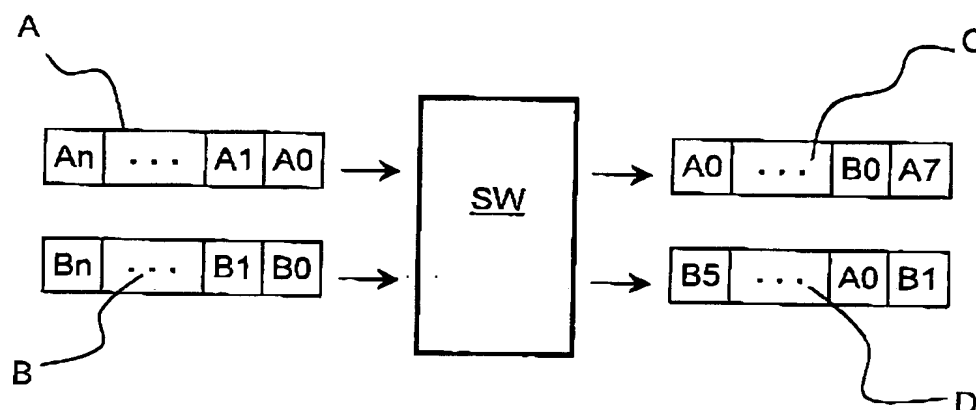


FIG. 3

Tidlucka i utgående ram	Från inport	Från tidlucka	Sid- offset
0	3	15	0
1	-	-	-
2	2	3988	1
3	1	3	2
n	2	1501	1

FIG. 5

3/7

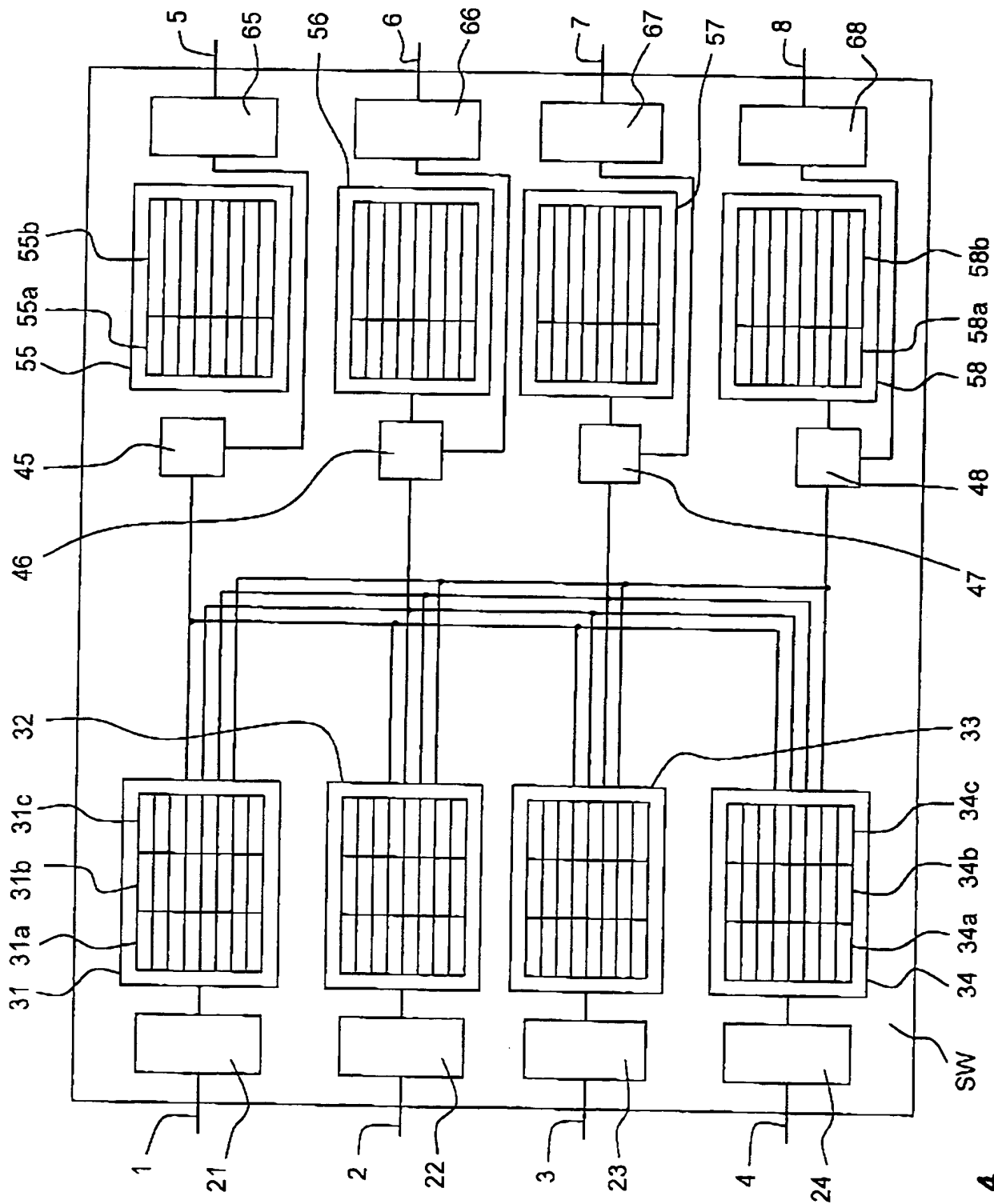


FIG. 4

4/7

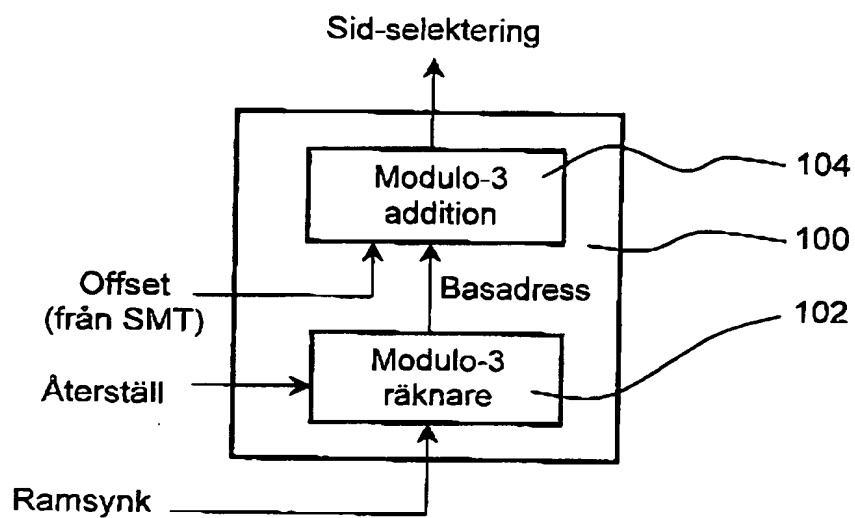


FIG. 6

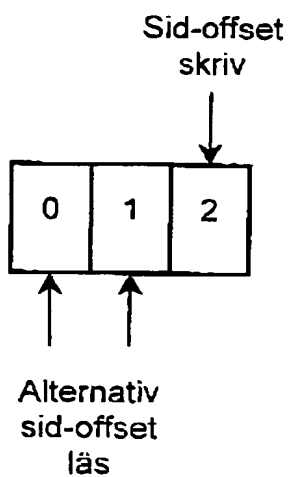


FIG. 7a

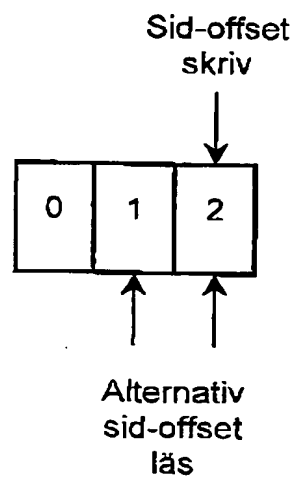


FIG. 7b

5/7

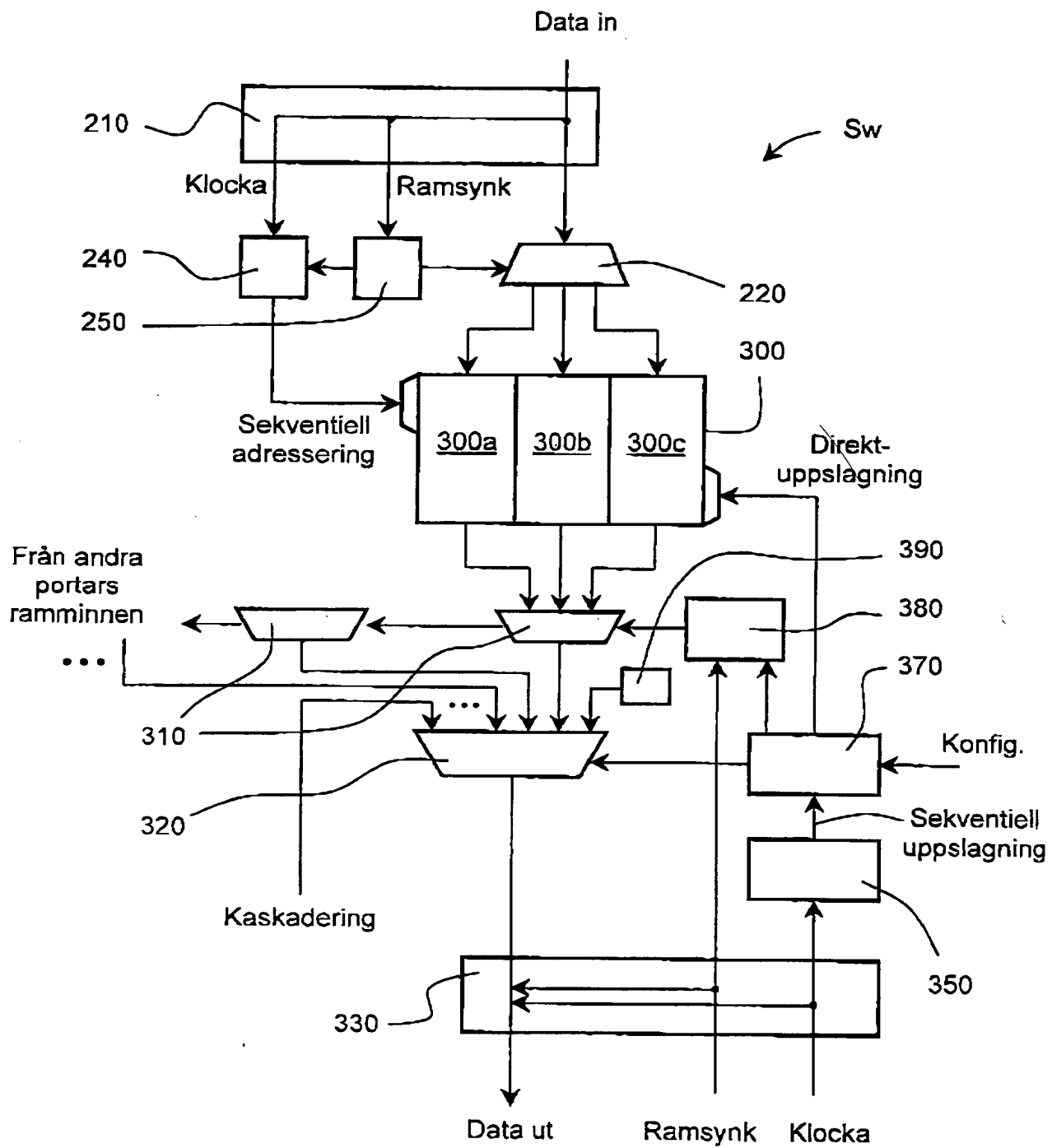



FIG. 8

6/7

SMT	Updatera
1	1
2	1
3	1
4	1



410


Ramselektering

2



420

Tidlucka	Ny data
2	257
3	196
4	-



430

FIG. 9

7/7

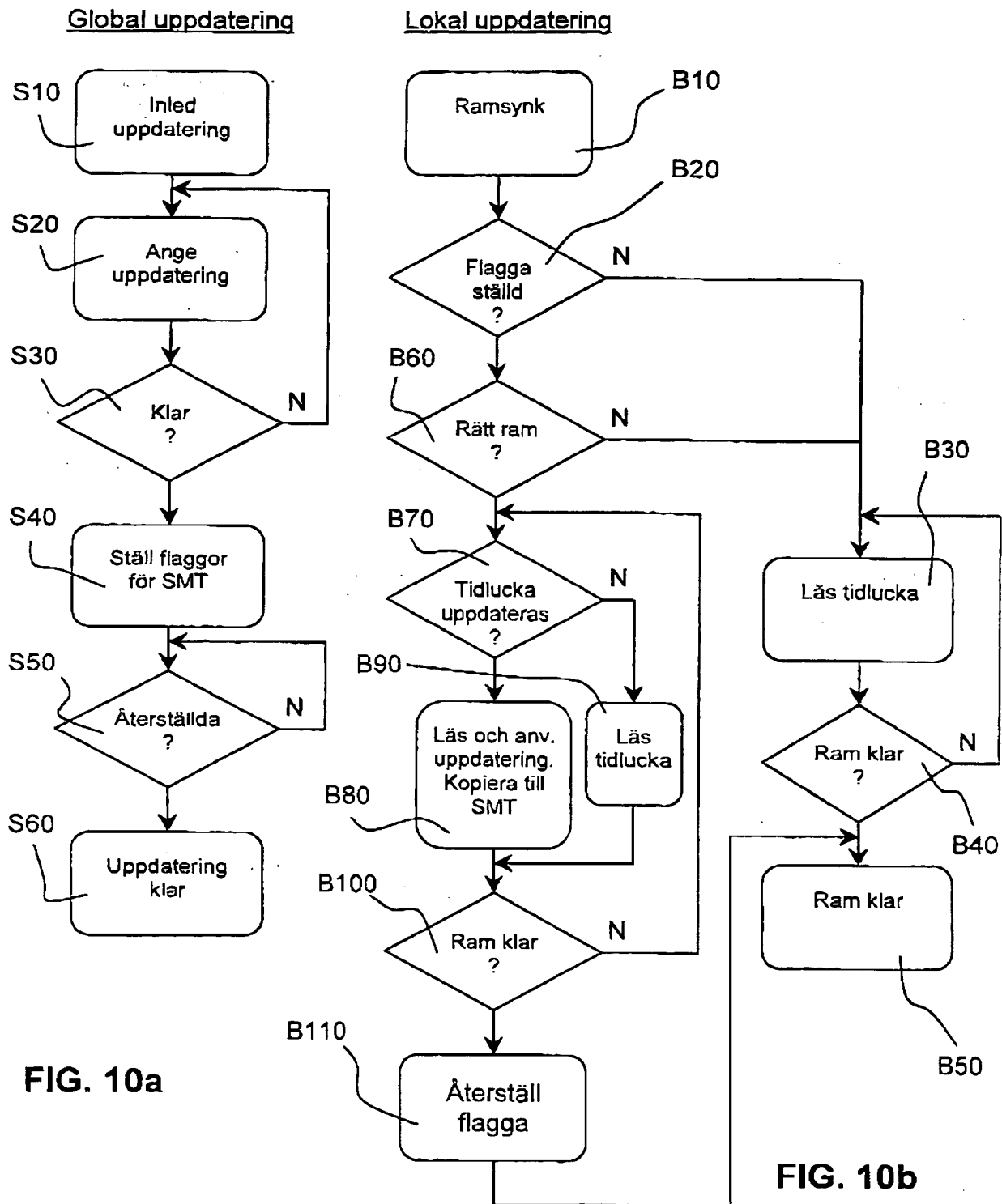


FIG. 10a

FIG. 10b

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)